



Technische  
Universität  
Braunschweig



LENA  
Laboratory  
for Energy  
Nanotechnology



Institut für  
Halbleitertechnik

**Grundlagen der Elektronik und Photonik**

**MOS Ersatzschaltbild und SPICE Parameter**

Prof. Dr. Andreas Waag

1

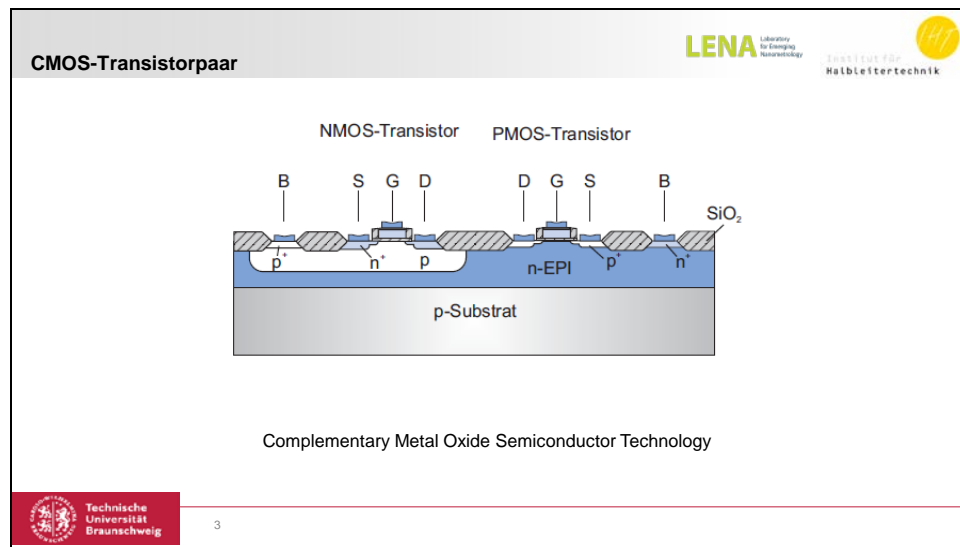
**Bänderschema von Halbleitern**

Die Inhalte dieses Clips entsprechen Level 3

- Level 1 Basiswissen Phase 1 (teilweise noch Schulwissen)
- Level 2 Basiswissen Phase 2 (Eingangskurse Bachelor)
- Level 3 Ziel-Niveau „Grundlagen der Elektronik und Photonik“
- Level 4 vertiefendes Wissen (Eingangskurse Master)
- Level 5 Expertenwissen (Fortgeschrittenen-Kurse Master)
- Level 6+ Wissensgrenze



Technische Universität Braunschweig

LENA Laboratory for Energy Nanotechnology  
Institut für Halbleitertechnik

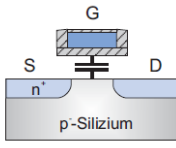


CMOS steht für Complementary Metal Oxide Semiconductor Feldeffekt-Transistoren. Der Begriff „komplementär“ bezieht sich dabei darauf, dass man sowohl einen p-Kanal als auch einen n-Kanal Transistor gemeinsam verwendet. In der Kombination entstehen leistungsfähige digitale und analoge, hoch integrierte Schaltungen in Silizium. Kleinste Transistoren werden vor allem in der digitalen Elektronik für Prozessoren und Speicher eingesetzt. In der Analog-Elektronik ist aber die Spannungsfestigkeit und die Stromtragfähigkeit oder auch Stabilität wichtig, deshalb werden dort – auch aus Kostengründen – oft noch viel größere Transistoren verbaut. Jede neue Technologie-Generation benötigt neue Mikroelektronik-Fabs, die heute ein Investment in Höhe von mehreren Milliarden Euro erfordern.

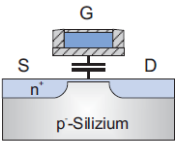
Zur Simulation eines CMOS Transistors müssen natürlich dessen Kennlinienfelder bekannt sein. Diese beschreiben die Antwort des Transistors auf die Ansteuerung von Source, Gate, Drain und Bulk-Anschluss. Gleichzeitig gibt es aber noch eine Vielzahl „parasitärer“ Elemente wie Dioden, Kapazitäten und weitere Transistor-Konfigurationen, die intrinsischer Bestandteil der Architektur und eine Folge des konkreten Aufbau der Transistoren sind. Die parasitären Bauelemente sind abhängig von der genauen Bauform und müssen für eine präzise Simulation ebenfalls bekannt sein.

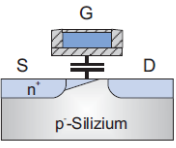
### Kapazität eines MOSFET



Cut-Off



Trioden- oder Widerstandsbereich



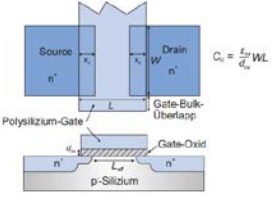
Sättigungsbereich

(Source und Bulk sind auf Referenzpotential)


**Tabelle 3.3**

Genäherte Beiträge zur Gate-Kapazität als Funktion des MOSFET-Betriebszustandes.  $C_{ox}$  ist die auf die Fläche bezogene Kapazität der MOS-Anordnung,  $L_{eff}$  ist die effektive Kanallänge,  $W$  dessen Weite.

Arbeitsbereich	$C_{GS}$	$C_{GD}$	$C_{ox}$
Cut-Off-Spannung	$C_{ox} \cdot W \cdot L_{eff}$	0	0
Triodenbereich	0	$C_{ox} \cdot W \cdot L_{eff}/2$	$C_{ox} \cdot W \cdot L_{eff}/2$
Sättigung	0	(2/3) $C_{ox} \cdot W \cdot L_{eff}$	0

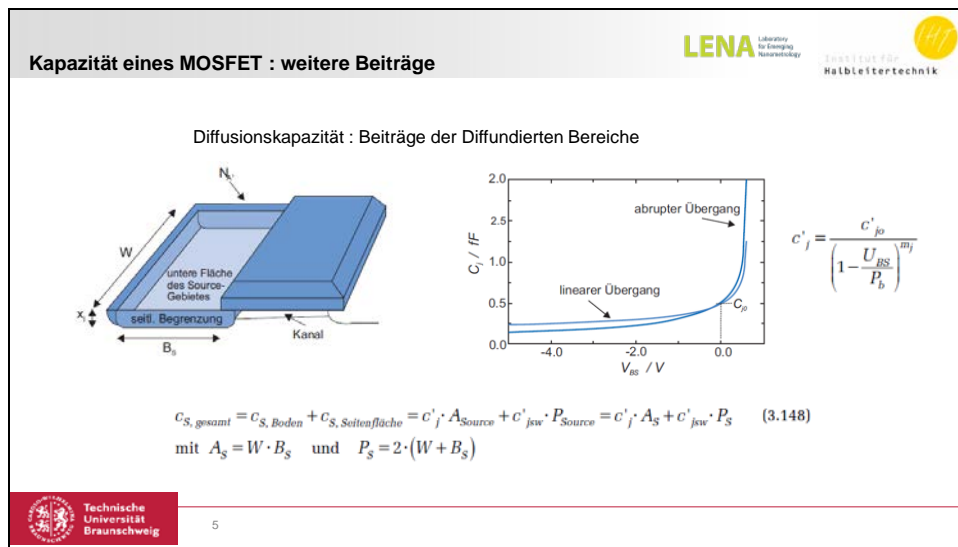


$C_{ox} = \frac{\epsilon_{ox}}{d_{ox}} \cdot W \cdot L$




4

Ein erstes Element ist die Kapazität des Gate-Anschlusses. Abhängig von dem Zustand des Transistors ist der Kanal ausgebildet, dann kann eine Wechselfspannung direkt über dem Gate-Isolator abfallen. Im Triodenbereich ist der gesamte Kanal ausgebildet, die Gesamtkapazität kann auf die Gate-Source und die Gate-Drain-Kapazität gleichmäßig aufgeteilt werden. In der Sättigung geht die Gate-Drain-Kapazität auf Null zurück, da durch die Abschnürung die effektive Dicke des Isoaltors stark zunimmt und nach der Kondensatorformel (Plattenkondensator)  $C = \epsilon / d$  ist. Am Source-seitigen Anschluss ist der Kanal noch ausgebildet. Erfahrungsgemäß kann man näherungsweise annehmen, dass 2/3 der Gesamtkapazität nun auf die Gate-Source-Kapazität entfallen. Sofern ein Kanal vorhanden ist, ist die Gate-Bulk-Kapazität ebenfalls Null, da die Spannung direkt am Kanal „angreift“.

Nicht nur die eigentliche Fläche unter dem Gate, die die Ausdehnung des Kanals bestimmt, sondern auch der Überlapp mit den Source- und Drain-Anschlüssen tragen zur Kapazität bei und müssen berücksichtigt werden. Werte für die Kapazität pro Fläche  $C_{Ox}$  werden von der Foundry mitgeteilt.



Im MOSFET findet man weitere kapazitive Beiträge, die durch die Raumladungszonen (RLZ) zwischen den Source- und Drain-Anschlüssen und dem entgegengesetzt dotierten Bulk entstehen. Die Ausdehnung der RLZ ist abhängig von der Potentialdifferenz zwischen p- und n-Bereich. Dabei müssen diese p-n-Übergänge immer, in jedem Zustand der Schaltung und zu jeder Zeit, in Sperrichtung gepolt sein, damit diese auch isolieren und nicht etwas Leckströme ziehen. Den Beitrag der RLZs bezeichnet man als Diffusionskapazität, da er durch die Eindiffusion der hoch dotierten Source- und Drain-Bereiche entsteht. Die Größe der Kapazität ist abhängig von der Fläche des Kontakts. Dabei müssen auch die RLZ der seitlichen Umrandung berücksichtigt werden. Die Gesamtkapazität ergibt sich auf Grund der Parallelschaltung durch die Summe der Einzelkapazitäten. Dabei ist A die Fläche des Bodens und P die Länge der Umrandung (Perimeter). Der Parameter  $c'_j$  ist eine Kapazität pro Fläche, der Parameter  $c'_{jsw}$  (sw für sidewall) ist eine Kapazität pro Länge. Die Kapazitäten sind alle spannungsabhängig. Damit ein Programm zur Schaltungssimulation wie SPICE derartige Effekte berücksichtigen kann, werden diese parametrisiert. Ausgangspunkt ist der bekannte Zusammenhang zwischen der Kapazität eines p-n-Übergangs und der Sperrspannung. Da es auf Grund von inhomogenen Dotierungen immer zu Abweichungen vom idealen Verhalten kommt, weichen auch die Parameter in der Gleichung ab. So beträgt  $m_j$  nicht immer 0,5, wie man es für einen idealen p-n-Übergang erwarten würde.





**Tabelle 3.4**

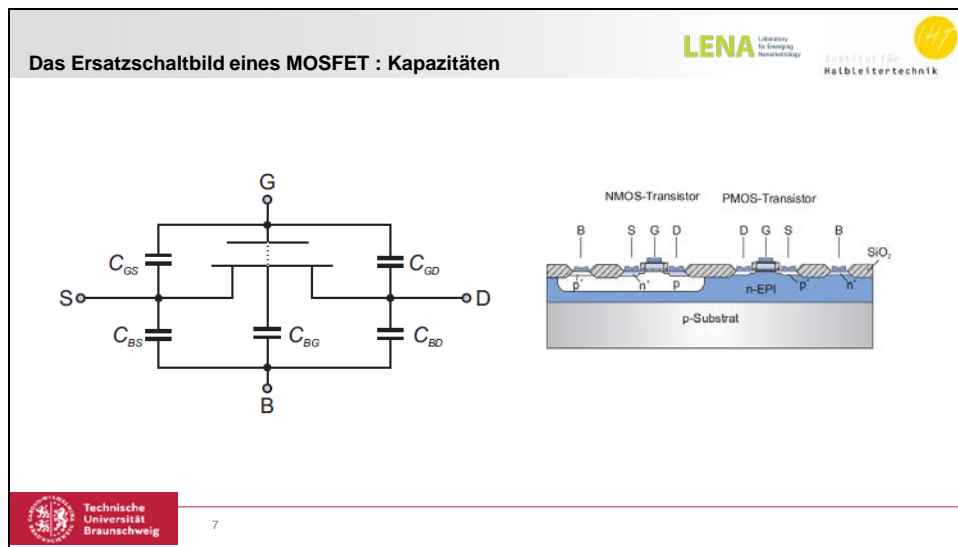
Beiträge zu den unterschiedlichen Kapazitäten für einen 0,25- $\mu\text{m}$ -CMOS-Prozess.  $C'_{\text{Ox}}$  = Oxid-Kapazität pro Fläche;  $c'_{j0}$  bzw.  $c'_{j\text{sw}}$  = auf die Fläche bzw. Randlänge bezogene Sperrschichtkapazitäten bei 0 V; nach [19].

Größe	$C'_{\text{Ox}}$	$C'_{\text{CSO}}$	$c'_{j0}$	$m_j$	$P_b$	$c'_{j\text{sw}}$	$m_{j\text{sw}}$	$\phi_{\text{DSW}}$
Einheit	fF/ $\mu\text{m}^2$	fF/ $\mu\text{m}$	fF/ $\mu\text{m}^2$		V	fF/ $\mu\text{m}$		V
NMOS	6	0,31	2	0,5	0,9	0,28	0,44	0,9
PMOS	6	0,27	1,9	0,48	0,9	0,22	0,32	0,9
	Oxid	Overlap	Junction			Sidewall		

(3.149)

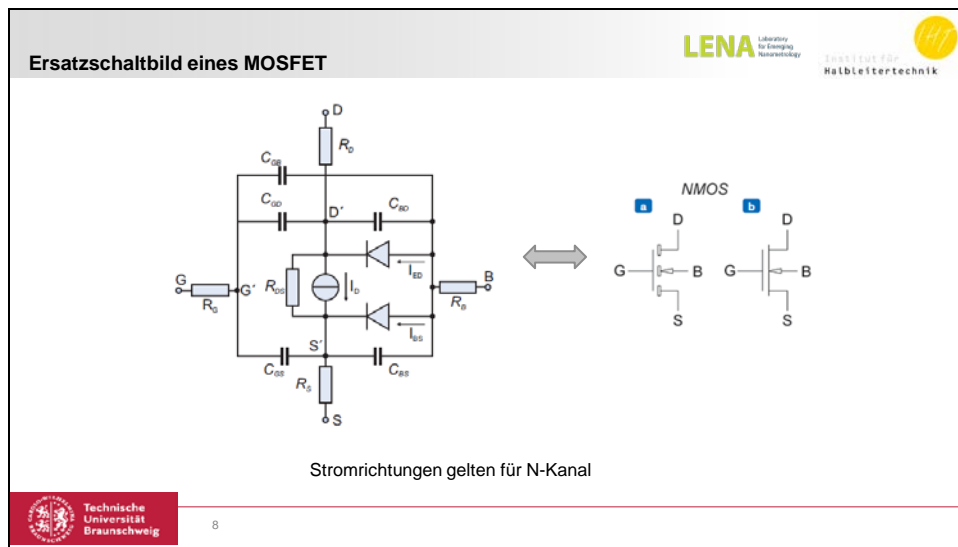

6

Alle Parameter sind vom verwendeten Prozess abhängig und werden von Foundries für die Schaltungssimulation zur Verfügung gestellt. Diese und weitere Parameter werden dabei für jeden Prozess in einer Liste von „SPICE-Parametersn“ zur Verfügung gestellt. Vor einer SPICE-Schaltungssimulation muss die passende Liste an Parametern geladen werden.



Das Ersatzschaltbild bezüglich der Kapazitäten eines MOSFET besteht deshalb aus diesen Beiträgen, die alle auch noch spannungsabhängig sind. Die Gate-Kapazität ist zwischen Gate-Drain, Gate-Source-Kapazität und Gate-Bulk-Kapazität aufgeteilt. Die Diffusionskapazitäten sind  $C_{BS}$  und  $C_{BD}$ .


Für zu hohe Frequenzen werden Kapazitäten „durchsichtig“, d.h. sie können nicht mehr so schnell aufgeladen werden. Der Kanal kann sich deshalb nicht mehr bilden, und der Transistor verliert seine Funktion.



In einer Erweiterung des Ersatzschaltbildes können nun noch die Leitungswiderstände berücksichtigt werden: der Kanalwiderstand  $R_{DS}$ , Der Zuleitungswiderstand zu Drain  $R_D$ , zu Gate  $R_G$ , zu Source  $R_S$  und zu Bulk  $R_B$ . Außerdem können noch die Dioden berücksichtigt werden, die sich zwischen Source, Drain und dem entgegengesetzt dotierten Bulk ergeben. Zusammen mit den schon genannten Kapazitäten ergibt sich ein schon recht komplexes Gesamtbild als Ersatzschaltung. Diese muss aber für eine gute Schaltungssimulation vollständig mitberücksichtigt werden. Ein Programm zur Schaltungssimulation integriert für jeden Transistor mit dem einfachen Transistorsymbol ein vollständiges Ersatzschaltbild. Die zugehörigen SPICE Parameter müssen alle von der Foundry geliefert werden.




Einige Spice-Parameter

LENA Laboratory for Energy Nanotechnology  INSTITUT FÜR Halbleitertechnik

**Tabelle 3.5**  
SPICE-Parameter des MOS-Transistors und ihre Bedeutungen (Level 1 und 2).

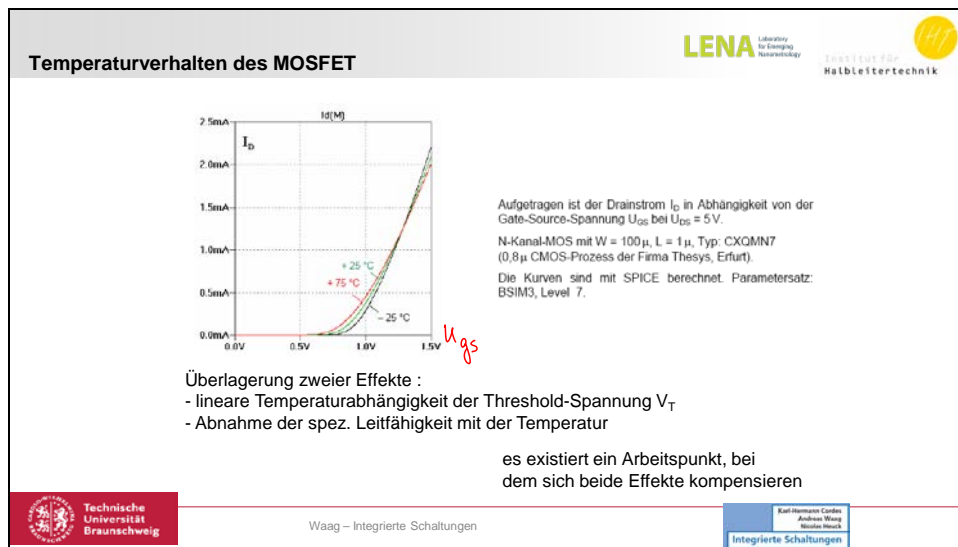
Parameter	Bedeutung	Einheit	Default
W	Kanalweite	m	***)
L	Kanallänge	m	***)
TPG	Gate-Dotierung: +1 entgegengesetzt zum Bulk (Normalfall) -1 gleiche Dotierung wie Bulk 0 Aluminium-Gate		-1
Level	Modell-Level (Level = 1 bzw. Level = 2)		1
VTO	Threshold-Spannung $V_{th}$	V	0
DELTA	Kanallängeneinfluss auf die Threshold Spannung		0
GAMMA	Body-Faktor	$V^{1/2}$	0
PHI	Kontakt- oder Oberflächenpotential des Substrates (Bulks)	V	0.6
KP	Steilheitskoeffizient ( $\beta = \frac{1}{2} \cdot K_P \cdot W/L$ )	$A/V^2$	2E-5
TOX	Oxiddicke	m	1E-7
UD	Beweglichkeit der Ladungsträger an der Oberfläche	$cm^2/Vs$	600

*SPICE = Simulation Program with Integrated Circuit Emphasis*

 Technische Universität Braunschweig

9

Ein kleiner Teil einer SPICE-Liste für einen MOS Transistor ist hier gezeigt. W ist die Kanalweite, L die Kanallänge. Beide Größen können vom CMOS Designer festgelegt werden. Die anderen Parameter ergeben sich aus der Technologie. Eine SPICE-Simulation kann auf verschiedenen Ebenen der Komplexität durchgeführt werden. Einfache Ersatzschaltbilder und einfache Gleichungen (entsprechend „Level 2“, Shichman-Hodges-Modell) werden oft für eine grobe Schaltungsdimensionierung verwendet. Genauere Simulationen verwenden z.B. das BSIM3 Modell (Berkeley Short Channel IG FET). Alle Parameter werden von der Foundry zur Verfügung gestellt und dort über automatisierte Parametertester durch Vermessen von standardisierten Teststrukturen bestimmt.



Noch eine Bemerkung zur Temperaturabhängigkeit: Vor allem bei analogen Präzisionsschaltungen ist auch das Verhalten als Funktion der Temperatur wichtig. Da die Eigenschaften von Halbleitern stark temperaturabhängig sind, ist z.B. auch der Drain-Strom als Funktion der Gate-Spannung abhängig von der Betriebstemperatur. Durch Überlagerung zweier gegenläufiger Effekte ergibt sich aber eine Gate-Spannung, bei der der zugehörigen Drain-Strom nicht mehr von der Temperatur abhängt. Ein solcher Arbeitspunkt sollte für empfindliche Schaltungen gewählt werden.