

The slide features a header with logos on the left and right. The left logo is the seal of Technische Universität Braunschweig. The right logo is LENA (Laboratory for Energy Nanotechnology) and the Institut für Halbleitertechnik, which includes a yellow circular emblem with the number 147. The main content area is a grey rectangle containing the title and author information.

Technische Universität Braunschweig

LENA Laboratory for Energy Nanotechnology

Institut für Halbleitertechnik

Grundlagen der Elektronik und Photonik

Prinzipielle Arbeitsweise von MOSFETs

Prof. Dr. Andreas Waag

1

Prinzipielle Arbeitsweise von MOSFETs

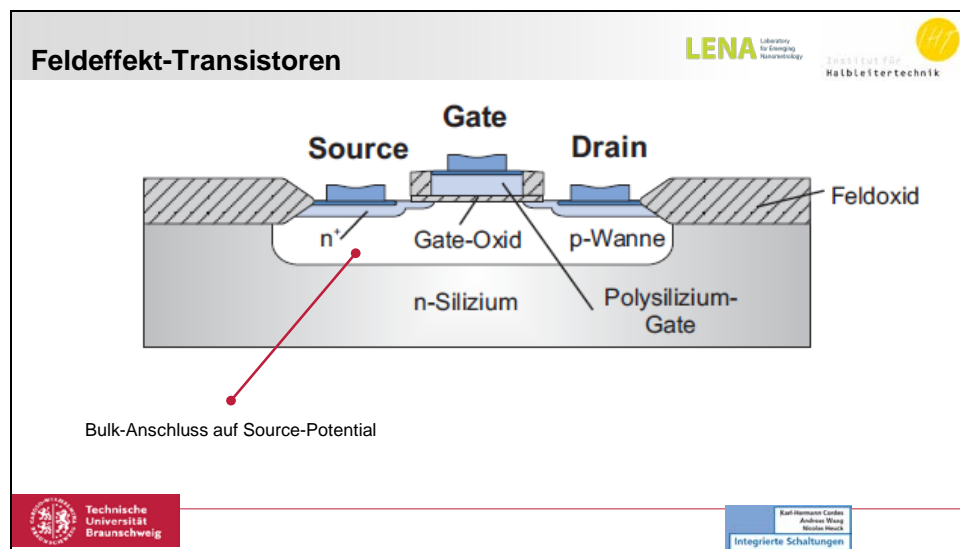
Bänderschema von Halbleitern

Die Inhalte dieses Clips entsprechen Level 2

- Level 1 Basiswissen Phase 1 (teilweise noch Schulwissen)
- Level 2 Basiswissen Phase 2 (Eingangskurse Bachelor)
- Level 3 Ziel-Niveau „Grundlagen der Elektronik und Photonik“
- Level 4 vertiefendes Wissen (Eingangskurse Master)
- Level 5 Expertenwissen (Fortgeschrittenen-Kurse Master)
- Level 6+ Wissensgrenze

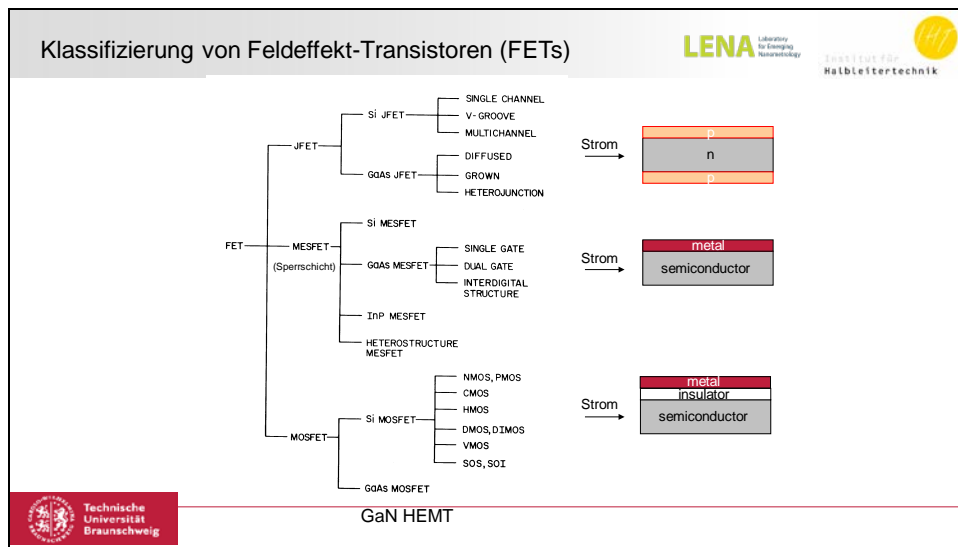
Technische Universität Braunschweig

LENA Laboratory for Energy Nanotechnology
Institut für Halbleitertechnik

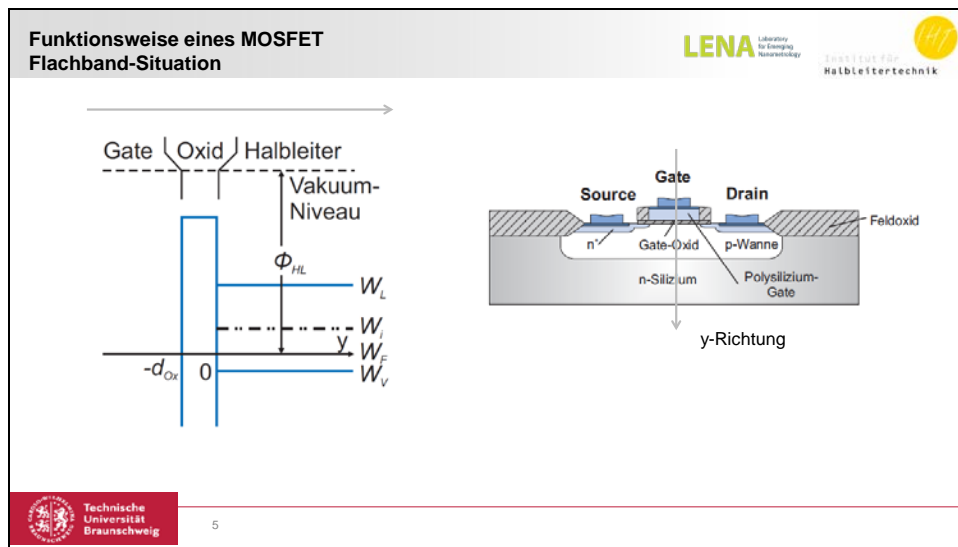


Das Prinzip des Feldeffekt-Transistors wurden schon 1928 von Julius Lilienfeld beschrieben. Erste Bauelemente konnten aber erst in den 1950er Jahren realisiert werden. Daraufhin setzte die stürmische Entwicklung der Mikroelektronik ein, die die Grundlage für unsere heutige Computer- und Informationstechnik darstellt. Im Bild ist ein typischer Aufbau eines FET in CMOS Technologie gezeigt. Dieser Transistor besteht aus einem p-dotierten Bereich, der p-Wanne (hier in weiß). Der Source- und Drain-Anschluss des Transistors ist n-dotiert (hier in blau gezeichnet). Der Gate-Anschluss überdeckt den gesamten Bereich zwischen Source und Drain (Wichtig !) und ist gegenüber der Silizium-Wanne durch eine dünne Oxidschicht aus SiO_2 isoliert. Jeder Transistor hat aber auch einen vierten Anschluss, den Bulk-Anschluss. Durch diesen kann die Wanne auf ein definiertes Potential – oft das Null-Potential - gelegt werden. Oft wird der Bulk-Anschluss und der Source-Anschluss verbunden und liegen beide auf Null-Potential.

IN diesem Bild erkennt man, dass zwischen Source und Drain in dieser Situation kein Strom fließen kann. Es liegt zwischen Source und Drain eine n-p-n Konfiguration vor. Unabhängig von der Polung befindet sich immer eine dieser p-n-Übergänge in Sperrrichtung. Durch die Ansteuerung des Gates mit einer positiven Spannung kann unter dem Gate ein Elektronenkanal entstehen, der Source und Drain verbindet. Erst dann kann Strom fließen. Der Einfluss des Gates entsteht über das eingeprägte elektrische Feld. Daher der Name „Feldeffekt-Transistor“.

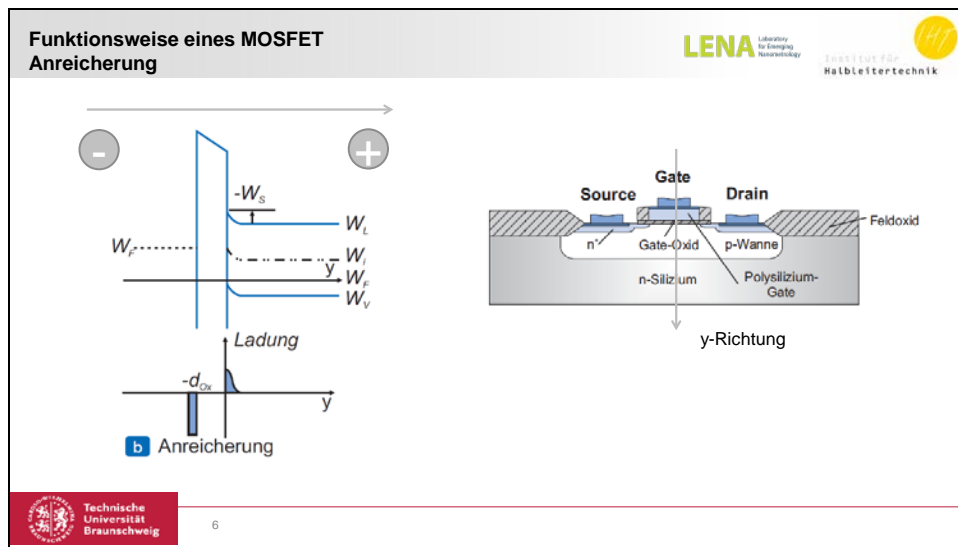


Grundsätzlich gibt es viele verschiedene Bauformen von FETs, die hier klassifiziert sind. Wir werden uns im Folgenden auf den Silizium MOSFET beschränken. Das Akronym „MOS“ steht für „Metal Semiconductor Oxide“ FET.



Die Funktionsweise eines MOSFET kann man am besten anhand des Bandverlaufs vom Gate über das Gate-Oxid in das Silizium hinein verstehen. Im Bild sind Bandverläufe im Querschnitt durch einen FET gezeigt, und zwar als Querschnitt in die Tiefe hinein, vom Gate Kontakt beginnend ins Silizium. Dies ist die Richtung der Ortskoordinate in den Abbildungen. Wir betrachten zunächst den sogenannten „Flachbandfall“, d.h. dass Leitungs- und Valenzband des Silizium flach an die Bänder des Isolators, dem Gate-Oxid-heranlaufen. Eingezeichnet ist die Fermi-Energie W_F . Diese liegt nah am Valenzband, wir haben es offenbar mit p-dotiertem Silizium zu tun. Weiterhin ist W_i eingezeichnet. Dies ist das intrinsische Fermi-Niveaus. W_i liegt ca. in der Mitte der Bandlücke. Liegt die tatsächliche Fermi-Energie W_F bei W_i , so gilt $n=p$. Beide Ladungsträger-Konzentrationen haben dann ihren intrinsischen – meist sehr kleinen - Wert. Die Ladungsträger-Konzentration hängt exponentiell vom Abstand der Fermi-Energie von der jeweiligen Bandkante ab. Zusätzlich ist noch das Vakuum-Niveau eingezeichnet, also das Niveau, auf das Elektronen angehoben werden müssen, um den Halbleiter vollständig zu verlassen. Das Gate-Oxid ist ein guter Isolator sowohl für Elektronen als auch für Löcher. Dessen Leitungsband liegt deshalb sehr hoch, und das Valenzband sehr niedrig. Während Silizium eine Bandlücke von 1,1 eV hat, haben Isolatoren Bandlücken im Bereich oberhalb von 6 eV. Das Leitungsband des Oxids stellt deshalb für Elektronen und Löcher eine unüberwindliche Barriere dar. Der Gate-Kontakt selbst besteht aus polykristallinem Silizium oder aus Metall. In jedem Fall aber ist der Bereich des Gate-Kontakts hoch dotiert und hat metallische Eigenschaften. Die Fermi-Energie im Gate-Kontakt befindet sich deshalb im Leitungsband des Halbleiters bzw. des Metalls. Insgesamt ergibt sich deshalb der in der Abbildung gezeigte Verlauf der Leitungs- und Valenzbänder in der Situation „Flachband“. Die Ladungsträger-Konzentration im Silizium ist homogen bis an die Grenzfläche zum Isolator gleich der Gleichgewichtskonzentration, die durch die Dotierung vorgegeben ist. Unter dem Oxid befinden sich demnach wegen der p-Dotierung der Wanne Löcher. Deshalb ergibt sich zwischen Source und Drain eine n-p-n-Konfiguration, die unabhängig von

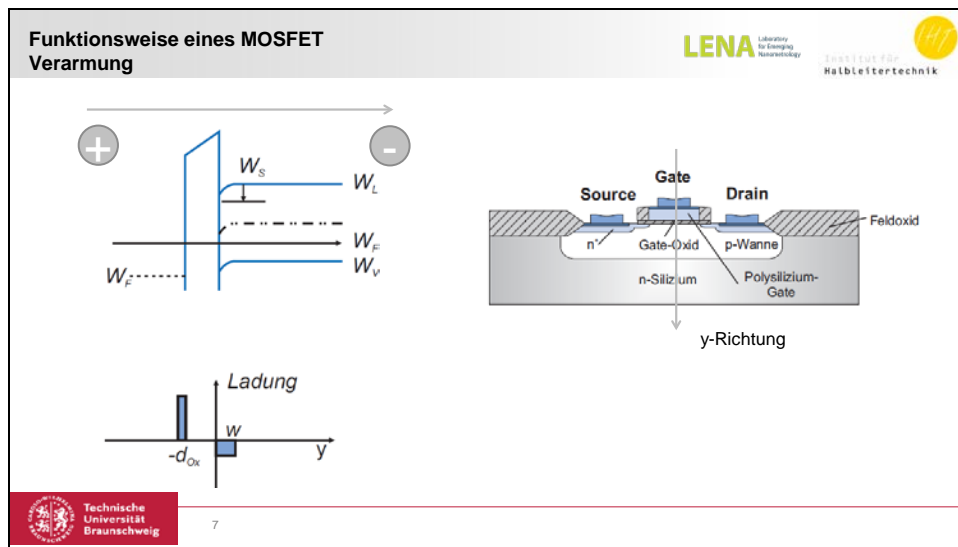
der Polarität der Spannung keinen Strom durchlässt. Der FET ist ausgeschaltet. Man nennt diese Architektur „normally off“.



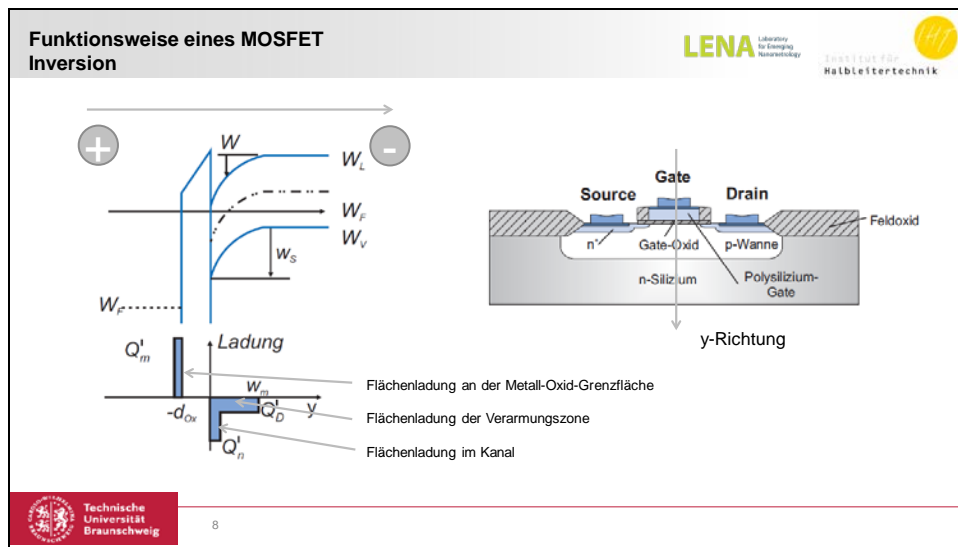
Legt man an das Gate eine negative Spannung an, so werden die Bänder im Gate-Kontakt gegenüber den Bändern im Silizium auf der Energieskala angehoben. Die Fermi-Energien im Gate-Kontakt und im Silizium unterscheiden sich um den Betrag der von außen angelegten Spannung. Es fließt allerdings kein Strom, da der Isolator Stromtransport verlässlich unterbindet. Durch das eingepreßte elektrische Feld werden Löcher an die Grenzfläche zwischen Silizium und dem Isolator gezogen, die Konzentration von Löchern steigt dort an. Dies ist die Situation der „Anreicherung“. Entsprechend verbiegen sich die Bänder, so dass der Abstand zwischen Fermi-Energie und Valenzband in diesem Bereich kleiner wird. Ein kleinerer Abstand ist konsistent mit einer höheren Löcher-Konzentration. Da der Halbleiter vorher elektrisch neutral war, erzeugen die zusätzlichen Löcher eine positive Flächenladung in der Nähe der Grenzfläche zum Oxid. Diese ist im unteren Bild angedeutet. Die Ausdehnung und Verteilung der Flächenladung wird vom Verlauf der Bandverbiegung vorgegeben. Diese ist parabolisch, genau so wie wir es bei der RLZ einer Diode kennengelernt hatten.

Zur Kompensation dieser positiven Ladung der Löcher bildet sich eine negative Ladung von Elektronen direkt an der Grenzfläche zwischen Gate-Kontakt und Isolator. Die RLZ in diesem Bereich ist allerdings auf Grund der sehr hohen Dotierung sehr viel kleiner und deshalb in der Abbildung nicht zu sehen.

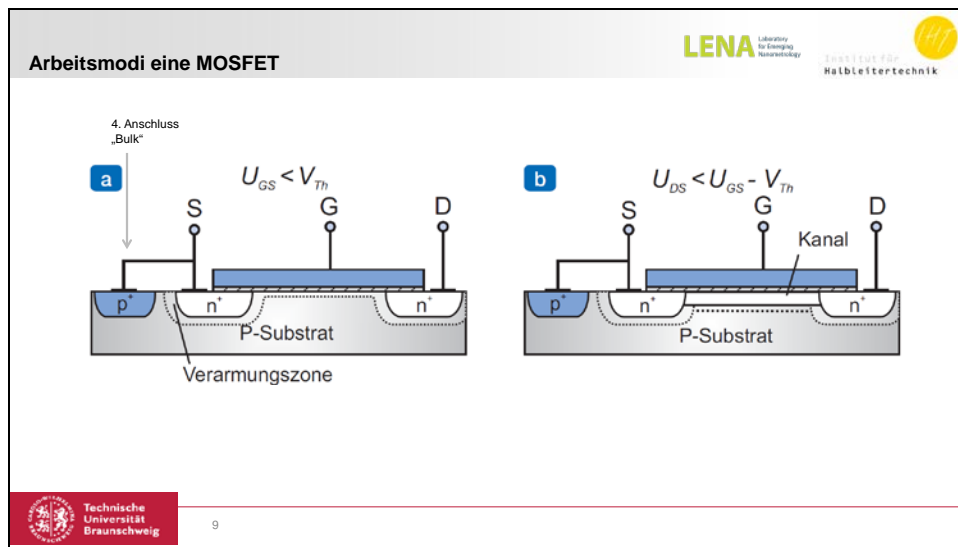
Obwohl nun mehr Löcher an der Grenzfläche zur Verfügung stehen, liegt immer noch eine n-p-n Situation zwischen Source und Drain vor. Der Transistor ist immer noch im „OFF“ Zustand.



Betrachten wir nun die umgekehrte Polung der Gate-Spannung, also positive Gate-Spannung relativ zum p-Gebiet im Silizium. In diesem Fall verbiegen die Bänder in die andere Richtung, „nach unten“ an der Grenzfläche. Dies bedeutet, dass der Abstand der Fermi-Energie von der Valenzbandkante wächst. Damit ergibt sich eine Reduktion der Konzentration, die Zahl der Löcher sinkt. Dies ist die Situation der Verarmung. Es ergeben sich nun durch die reduzierte Löcher-Konzentration eine negative Raumladung im Halbleiter und eine positive Flächenladung im Gate-Kontakt. Wiederum hat dies keinen Einfluss auf den Zustand des FET, der sich auf Grund der n-p-n Situation zwischen Source und Drain nach wie vor im „OFF“ befindet. Die Situation der Verarmung gilt nur für kleine positive Gate-Spannungen. Wird die positive Gate-Spannung weiter erhöht, dann taucht das intrinsische Fermi-Niveau W_i unter die Fermi-Energie W_F . Dies ergibt eine sehr interessante Konfiguration, wie wir gleich sehen werden.



Bei höherer positiver Spannung am Gate-Kontakt relativ zum p-Halbleiter ergibt sich eine noch stärkere Bandverbiegung. Das intrinsische Fermi-Niveau W_i taucht jetzt unter die Fermi-Energie W_F . Damit liegt die Fermi-Energie in diesem Bereich näher am Leitungsband als am Valenzband. Mit anderen Worten: der Halbleiter besitzt nun in diesem Bereich mehr Elektronen als Löcher, er wurde durch die Gate-Spannung von Löcherleitung zu Elektronenleitung „invertiert“. Diese Situation wird als „Inversion“ bezeichnet. Die Inversion zur Elektronenleitung ändert die Gesamtsituation fundamental. Aus einer n-p-n-Situation zwischen Source und Drain ist eine n-n-n-Situation geworden. Es hat sich ein n-Kanal unter dem Gate gebildet. Dieser verbindet nun Source und Drain. Strom kann fließen. Der Transistor ist jetzt im „ON“-Zustand. Die zugehörige Ladung ergibt sich als Summe der Elektronenladung Q_n und der Ladung der negativen Akzeptoren, die in diesem Bereich ihre Löcher verloren haben Q_D . Gestrichelte Größen sollen anzeigen, dass es sich hier um Flächenladungsdichten handelt. Die Summe beider negativer Ladungen wird durch eine positive Gesamtladung im Gate-Kontakt Q_m kompensiert. Der Index m steht für „metallisch“ wegen der hohen Dotierung des Poly-Silizium.




Die unterschiedlichen Betriebsmodi eines MOSFET sind hier noch einmal in einem anderen Querschnitt dargestellt. Diesmal ist auch der 4. Anschluss, der Bulk-Anschluss mit eingezeichnet. Wie üblich werden Source und Bulk-Anschluss auf das gleiche Potential gelegt – Massepotential. Gate und Drain werden relativ zu Source dann positiv angesteuert. Nur so kann der n-Kanal MOSFET funktionieren. Die zugehörigen Potential sind die Drain-Source-Spannung U_{DS} und die Gate-Source-Spannung U_{GS} . Die gestrichelte Linie im Querschnitt deutet die Verarmungszone an, die sich zwischen den n-dotierten Bereichen des Source- und Drain-Kontakts und den p-dotierten Bereichen der p-Wanne ergeben.

Für kleine Gate-Spannungen bekommen wir Verarmung an Löchern. Es bildet sich kein n-Kanal, der Transistor ist „OFF“.

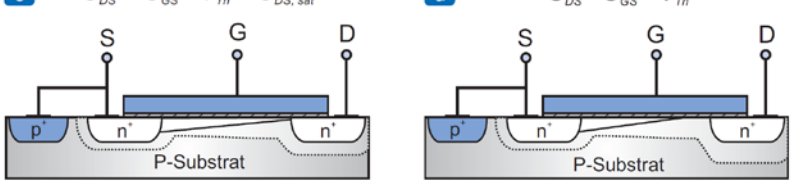
Für Gate-Potential oberhalb einer Schwellspannung, die Threshold-Spannung U_{th} genannt wird, bildet sich ein Kanal aus. Jetzt könnte der Transistor prinzipiell Strom führen. Hierzu muss aber eine Spannung zwischen Drain und Source angelegt werden. Diese muss am Drain positiv sein. U_{DS} ist also positiv. Für kleine Drain-Source-Spannungen wird nun ein Strom durch den Kanal getrieben. Der Kanal wirkt wie ein normaler Widerstand.

Arbeitsmodi eine MOSFET


LENA Lehrstuhl für Energie
Nanoelektronik  Institut für
Halbleitertechnik

c $U_{DS} = U_{GS} - V_{Th} = U_{DS, sat}$

d $U_{DS} > U_{GS} - V_{Th}$

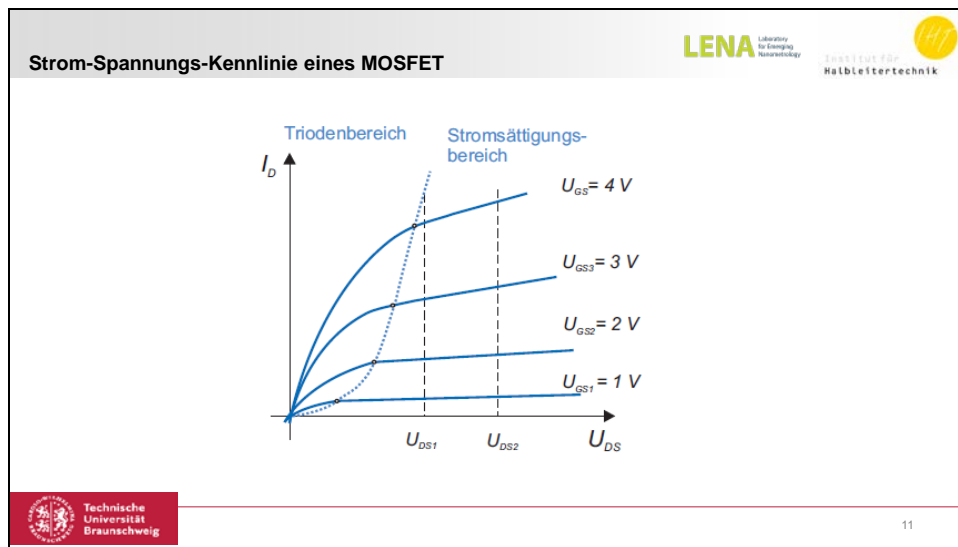


Abschnürung / Pinch Off bei: $U_{DS} = U_{GS} - V_{th}$

 Technische Universität Braunschweig

10

Für größere (positive) Drain-Potentiale sinkt allerdings die Differenz zwischen Gate-Potential und Drain-Potential am Drain-seitigen Ende des Kanals. Sofern das Drain-Potential genauso groß ist wie die Differenz zwischen Threshold und Gate-Potential, reicht die Potentialdifferenz zwischen Gate und Drain gerade noch aus, um einen Kanal zu bilden. Wird das Drain-Potential weiter erhöht, so fällt die Potentialdifferenz zwischen Gate und Drain unter die Threshold-Spannung. An dieser Stelle geht der Kanal „kaputt“, er wird abgeschnürt, da die Bandverbiegung nicht mehr für Inversion ausreicht. Ein Kanal existiert demnach nur, wenn U_{DS} kleiner ist als die Differenz der Gate-Spannung U_{GS} und der Threshold-Spannung. Ansonsten wird die nötige Potentialdifferenz zur Ausbildung eines Kanals (durch Inversion) unterschritten. Für positives Drain-Potential ergibt sich ein Potentialabfall entlang des Kanals zwischen Source (Null) und Drain (positiv). Der Kanal wird deshalb immer am Drain-seitigen Ende zuerst abgeschnürt. Ist der Kanal schon abgeschnürt und wird dann die Drain-Spannung weiter erhöht, so fällt die zusätzliche Source-Drain-Spannung jetzt nur noch über dem abgeschnürten, hochohmigen Ende des Kanals ab. Der Strom durch den Kanal wird mit weiterer Erhöhung von U_{DS} deshalb nicht weiter ansteigen. Es ergeben sich die typischen Strom_Spannungs-Kennlinien eines Transistors.



Eine solche Strom-Spannungs-Kennlinie ist hier gezeigt. Für niedrige Drain-Spannungen U_{DS} steigt der Strom linear mit der Drain-Spannung an, der Kanal wirkt wie ein normaler Widerstand. Diesen Bereich bezeichnet man als Triodenbereich. Bei höheren Drain-Spannungen schnürt der Kanal ab, der Strom geht in Sättigung. Die Sättigung ist allerdings nicht ideal, da es noch weitere Effekte gibt, die wir bisher nicht berücksichtigt haben. So dehnt sich der abgeschnürte Bereich mit höherer Drain-Spannung weiter aus, die übrige Kanallänge sinkt deshalb. In der Folge erhöht sich der Strom doch noch etwas. Dies führt zur Steigung im Sättigungsbereich.

Die Kennlinie zeigt auch, dass mit höheren Gate-Spannung der Pinch-Off erst bei höherer Drain-Spannung erreicht wird. Eine quantitative Beschreibung wird an anderer Stelle vorgenommen.

Die Auftragung I_{DS} über U_{DS} bezeichnet man als Ausgangs-Kennlinie, da sowohl der Drain-Strom I_D als auch die Drain-Source-Spannung U_{DS} Ausgangsgrößen einer Transistorschaltung sind. Eingangsgrößen wären die Gate-Spannung und der Gate-Strom. Der Gate-Strom ist allerdings wegen des Isolators in MOSFETs vernachlässigbar klein. Die Gate-Spannung U_{GS} ist in der Graphik als Parameter am Kennlinienfeld zu sehen.